

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020055883 A
(43)Date of publication of application: 10.07.2002(21)Application number: 1020000085136
(22)Date of filing: 29.12.2000(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: JUN, SEUNG JUN
KIM, HYEON SU
MIN, GYEONG YEOL
PARK, JEONG HWAN

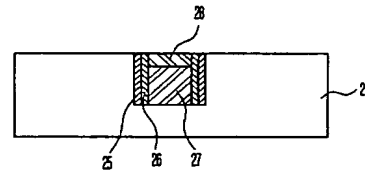
(51)Int. Cl. H01L 21/76

(54) METHOD FOR FABRICATING ISOLATION LAYER OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for fabricating an isolation layer of a semiconductor device is provided to easily fill a trench having a high aspect ratio, by growing a predetermined thickness of a silicon layer inside the trench through a selective epitaxial growth(SEG) process and by filling an insulation layer in the trench.

CONSTITUTION: A pad oxide layer and a pad nitride layer are sequentially formed on a semiconductor substrate(21). A predetermined region of the pad nitride layer and the pad oxide layer is etched. A predetermined depth of the exposed semiconductor substrate is etched to form the trench. The first oxide layer(25) is formed on the sidewall of the trench and the second oxide layer is formed. The second oxide layer(26) and the first oxide layer in the base of the trench are selectively eliminated to expose the semiconductor substrate in the base of the trench. An SEG process is performed to grow the silicon layer(27) from the exposed semiconductor substrate in the base of the trench. After the insulation layer(28) is formed to completely fill the trench, the insulation layer is polished and planarized. The pad nitride layer and the pad oxide layer are removed.



&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20030212)

Patent registration number (1003837580000)

Date of registration (20030429)

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl. 7
H01L 21/76

(45) 공고일자 2003년05월14일
(11) 등록번호 10-0383758
(24) 등록일자 2003년04월29일

(21) 출원번호	10-2000-0085136	(65) 공개번호	특2002-0055883
(22) 출원일자	2000년12월29일	(43) 공개일자	2002년07월10일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 민경열
경기도이천시대월면사동현대5차502-803

박정환
경기도이천시대월면사동현대5차501-1603

전승준
경기도수원시팔달구우만동주공아파트206-1304

김현수
대구광역시서구내당1동226-1

(74) 대리인 신영무
최승민

심사관 : 이금옥

(54) 반도체 소자의 소자 분리막 형성 방법

요약

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 트렌치를 형성한 후 트렌치 기저부로부터 선택적 에피택셜 방법으로 실리콘막을 성장시키고 절연막을 매립하여 소자 분리막을 형성함으로써 높은 에스펙트비를 갖는 트렌치를 용이하게 매립할 수 있어 소자의 동작 특성을 개선할 수 있는 반도체 소자의 소자 분리막 형성 방법이 제시된다.

대표도

도 2d

색인어

소자 분리막, 트렌치, 선택적 에피택셜 성장

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(d)는 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위해 도시한 소자의 단면도.

도 2(a) 내지 도 2(d)는 본 발명의 다른 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위해 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

11 및 21 : 반도체 기판 12 및 22 : 패드 산화막

13 및 23 : 패드 질화막 14 및 24 : 감광막

15 및 25 : 제 1 산화막 16 및 26 : 제 2 산화막

17 및 27 : 실리콘막 18 및 28 : 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히 트렌치를 형성한 후 트렌치 기저부로부터 선택적 에피택셜 방법으로 실리콘막을 성장시키고 절연막을 매립하여 소자 분리막을 형성함으로써 높은 에스펙트비를 갖는 트렌치를 용이하게 매립할 수 있어 소자의 동작 특성을 개선할 수 있는 반도체 소자의 소자 분리막 형성 방법에 관한 것이다.

반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한 후 절연막을 매립하는 일반적인 트렌치형 소자 분리막 형성 방법을 설명하면 다음과 같다.

반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성한다. 사진 및 식각 공정을 실시하여 패드 질화막 및 패드 산화막의 선택된 영역을 제거하고, 노출된 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한다. 트렌치 형성을 위한 식각 공정에서 발생하는 반도체 기판의 손상을 보상하기 위해 산화 공정을 실시하여 트렌치 측벽에 제 1 산화막을 형성한다. 트렌치 상부를 둥글게 형성하기 위해 제 2 산화막을 형성한다. 트렌치가 매립되도록 HDP 산화막 등의 절연막을 형성한 후 패드 질화막이 노출되도록 연마 공정을 실시하고, 패드 질화막 및 패드 산화막을 제거하여 소자 분리막을 형성한다.

상기와 같은 공정으로 소자 분리막을 형성할 경우 고집적 반도체 소자의 디자인룰에 의해 트렌치를 완전히 매립할 수 없게 된다. 즉, 반도체 소자가 고집적화 될수록 트렌치의 폭이 점차 작아지면서 에스펙트비가 커지게 되므로 절연막의 매립 한계가 발생된다. 참고로, $0.1\mu\text{m}$ 디자인룰을 기준으로 트렌치의 폭이 $0.1\mu\text{m}$ 이고 깊이가 2500\AA 이라면 에스펙트비는 2.5가 되지만, 향후 디자인룰이 $0.07\mu\text{m}$ 또는 $0.05\mu\text{m}$ 의 경우 에스펙트비는 3.57 또는 5.0 이상이 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 높은 에스펙트비를 갖는 트렌치에 절연막을 용이하게 매립할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는데 있다.

본 발명의 다른 목적은 소자의 동작 특성을 향상시키고 공정 마진을 향상시킬 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공하는데 있다.

상술한 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막 및 패드 산화막의 소정 영역을 식각하고 이에 의해 노출된 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 측벽에 제 1 산화막을 형성한 후 전체 구조 상부에 제 2 산화막을 형성하는 단계와, 상기 트렌치의 기저부에 형성된 제 2 산화막 및 제 1 산화막을 선택적으로 제거하여 상기 트렌치 기저부의 반도체 기판을 노출시키는 단계와, 선택적 에피택셜 성장 공정을 실시하여 상기 트렌치 기저부의 노출된 반도체 기판으로부터 실리콘막을 성장시키는 단계와, 상기 트렌치가 완전히 매립되도록 절연막을 형성한 후 상기 절연막을 연마하여 평탄화시키는 단계를 포함하여 이루어진 것을 특징으로 한다.

또한, 상술한 목적을 달성하기 위한 본 발명의 다른 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계와, 상기 패드 질화막 및 패드 산화막의 소정 영역을 식각하고 이에 의해 노출된 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 저전력 플라즈마 식각에 의한 등방성 식각을 실시하여 상기 패드 산화막 및 패드 질화막과 상기 반도체 기판 사이에 단차를 형성하는 단계와, 상기 트렌치의 측벽에 제 1 산화막을 형성하여 상기 단차를 보상한 후 전체 구조 상부에 제 2 산화막을 형성하는 단계와, 상기 트렌치의 기저부에 형성된 제 2 산화막 및 제 1 산화막을 선택적으로 제거하여 상기 트렌치 기저부의 반도체 기판을 노출시키는 단계와, 선택적 에피택셜 성장 공정을 실시하여 상기 트렌치 기저부의 노출된 반도체 기판으로부터 실리콘막을 성장시키는 단계와, 상기 트렌치가 완전히 매립되도록 절연막을 형성한 후 상기 절연막을 연마하여 평탄화시키는 단계와, 상기 패드 질화막 및 패드 산화막을 제거하는 단계를 포함하여 이루어진 것을 특징으로

로 한다.

한편, 상술한 목적을 달성하기 위한 본 발명의 또다른 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법은 반도체 기판 상부에 감광막 패턴을 형성하고, 이를 마스크로 상기 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계와, 상기 감광막 패턴을 제거한 후 상기 트렌치의 측벽에 제 1 산화막을 형성하고 전체 구조 상부에 제 2 산화막을 형성하는 단계와, 상기 트렌치의 기저부에 형성된 제 2 산화막 및 제 1 산화막을 선택적으로 제거하여 상기 트렌치 기저부의 반도체 기판을 노출시키는 단계와, 선택적 에피택셜 성장 공정을 실시하여 상기 트렌치 기저부의 노출된 반도체 기판으로부터 실리콘막을 성장시키는 단계와, 상기 트렌치가 완전히 매립되도록 절연막을 형성한 후 상기 절연막을 연마하여 평탄화시키는 단계를 포함하여 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(d)는 본 발명의 일 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위해 도시한 소자의 단면도이다.

도 1(a)를 참조하면, 반도체 기판(11) 상부에 패드 산화막(12) 및 패드 질화막(13)을 순차적으로 형성한다. 패드 산화막(12)은 10~200Å의 두께로 형성하고, 패드 질화막(13)은 300~3000Å의 두께로 형성한다. 전체 구조 상부에 감광막(14)을 형성한 후 패드 질화막(13)의 소정 영역이 노출되도록 패터닝한다. 패터닝된 감광막(14)을 마스크로 패드 질화막(13) 및 패드 산화막(12)을 제거한 후 반도체 기판(11)을 0.1~10μm의 깊이로 식각하여 트렌치를 형성한다.

도 1(b)를 참조하면, 감광막(14)을 제거한 후 열산화 공정을 실시하여 트렌치 측벽에 제 1 산화막(15)을 형성한다. 그리고, 제 1 산화막(15)을 포함한 전체 구조 상에 제 2 산화막(16)을 형성한다. 이때, 제 1 산화막(15)은 30~200Å의 두께로 형성하고, 제 2 산화막(16)은 30~500Å의 두께로 형성한다. 그리고, 트렌치 하부에 형성된 제 2 산화막(16) 및 제 1 산화막(15)을 제거하여 반도체 기판(11)을 노출시킨다. 이때, 패드 질화막(13) 상부에 형성된 제 2 산화막(16)도 제거된다.

도 1(c)를 참조하면, 선택적 에피택셜 성장 공정을 실시하여 트렌치 기저부의 노출된 반도체 기판(11)을 시드로 실리콘막(17)을 성장시킨다. 이때, 실리콘막(17)은 트렌치의 기저부로부터 500Å 이상 성장시키고, 트렌치 상부로부터 100Å 정도 깊이로 성장시킨다. 그리고 트렌치가 완전히 매립되도록 전체 구조 상부에 절연막(18)을 형성한다.

도 1(d)는 절연막(18)을 연마하여 평탄화시킨 후, 패드 질화막(13) 및 패드 산화막(12)을 제거하여 소자 분리막을 형성한 상태의 단면도이다.

도 2(a) 내지 도 2(d)는 본 발명의 다른 실시 예에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위해 도시한 소자의 단면도이다.

도 2(a)를 참조하면, 반도체 기판(21) 상부에 패드 산화막(22) 및 패드 질화막(23)을 순차적으로 형성한다. 패드 산화막(22)은 10~200Å의 두께로 형성하고, 패드 질화막(23)은 300~3000Å의 두께로 형성한다. 전체 구조 상부에 감광막(24)을 형성한 후 패드 질화막(23)의 소정 영역이 노출되도록 패터닝한다. 패터닝된 감광막(24)을 마스크로 패드 질화막(23) 및 패드 산화막(22)을 제거한 후 반도체 기판(21)을 0.1~10μm의 깊이로 식각하여 트렌치를 형성한다. 그리고, 저전력 플라즈마 식각에 의한 등방성 식각을 실시하여 트렌치를 형성하기 위한 식각 공정에서 발생된 반도체 기판(21)의 손상을 보상하는 동시에 패드 산화막(22) 및 패드 질화막(23)보다 안쪽의 반도체 기판(21)이 식각되도록 하여 단차를 형성한다.

도 2(b)를 참조하면, 감광막(24)을 제거한 후 열산화 공정을 실시하여 트렌치 측벽에 제 1 산화막(25)을 형성한다. 그리고, 제 1 산화막(25)을 포함한 전체 구조 상에 제 2 산화막(26)을 형성한다. 이때, 제 1 산화막(25)은 30~200Å의 두께로 형성하고, 제 2 산화막(26)은 30~500Å의 두께로 형성한다. 제 1 산화막(25) 및 제 2 산화막(26)에 의해 패드 산화막(21) 및 패드 질화막(22)과 트렌치 사이의 단차가 보상된다. 그리고, 트렌치 하부에 형성된 제 2 산화막(26) 및 제 1 산화막(25)을 제거하여 반도체 기판(21)을 노출시킨다. 이때, 패드 질화막(23) 상부에 형성된 제 2 산화막(26)도 제거된다.

도 2(c)를 참조하면, 선택적 에피택셜 성장 공정을 실시하여 트렌치 기저부의 노출된 반도체 기판(21)을 시드로 실리콘막(27)을 성장시킨다. 이때, 실리콘막(27)은 트렌치의 기저부로부터 500Å 이상 성장시키고, 트렌치 상부로부터 100Å 정도 깊이로 성장시킨다. 그리고 트렌치가 완전히 매립되도록 전체 구조 상부에 절연막(28)을 형성한다.

도 2(d)는 절연막(28)을 연마하여 평탄화시킨 후, 패드 질화막(23) 및 패드 산화막(22)을 제거하여 소자 분리막을 형성한 상태의 단면도이다.

본 발명의 또다른 실시 예로서, 패드 산화막 및 패드 질화막을 반도체 기판 상부에 형성하지 않고, 감광막 패턴을 형성한 후 상기와 같은 공정을 실시한다. 즉, 반도체 기판 상부에 감광막 패턴을 형성한 후 감광막 패턴을 마스크로 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성한다. 그리고, 감광막 패턴을 제거한 후 트렌치 측벽에 제 1 산화막을 형성하고, 전체 구조 상부에 제 2 산화막을 형성한다. 트렌치 기저부의 제 2 산화막 및 제 1 산화막을 제거하여 반도체 기판을 노출시킨 후 선택적 에피택셜 성장 공정으로 실리콘막을 성장시킨다. 그리고, 트렌치가 매립되도록 절연막을 형성한 후 평탄화시켜 소자 분리막을 형성한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 트렌치 내부에 선택적 에피택셜 방법으로 실리콘막을 소정 두께로 성장시키고 절연막을 매립하여 소자 분리막을 형성함으로써 높은 애스펙트비의 트렌치를 갖는 용이하게 매립할 수 있어 소자의 동

작 특성을 개선할 수 있다. 또한, 패드 산화막 및 패드 질화막을 형성하지 않고도 트렌치를 형성할 수 있어 공정을 단순화할 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

반도체 기판 상부에 패드 산화막 및 패드 질화막을 순차적으로 형성하는 단계;

상기 패드 질화막 및 패드 산화막의 소정 영역을 식각하고 이에 의해 노출된 반도체 기판을 소정 깊이로 식각하여 트렌치를 형성하는 단계;

저전력 플라즈마 식각에 의한 등방성 식각을 실시하여 상기 패드 산화막 및 패드 질화막과 상기 반도체 기판 사이에 단차를 형성하는 단계;

상기 트렌치의 측벽에 제 1 산화막을 형성하여 상기 단차를 보상한 후 전체 구조 상부에 제 2 산화막을 형성하는 단계;

상기 트렌치의 기저부에 형성된 제 2 산화막 및 제 1 산화막을 선택적으로 제거하여 상기 트렌치 기저부의 반도체 기판을 노출시키는 단계;

선택적 에피택셜 성장 공정을 실시하여 상기 트렌치 기저부의 노출된 반도체 기판으로부터 실리콘막을 성장시키는 단계;

상기 트렌치가 완전히 매립되도록 절연막을 형성한 후 상기 절연막을 연마하여 평탄화시키는 단계; 및

상기 패드 질화막 및 패드 산화막을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 9.

제 8 항에 있어서, 상기 패드 산화막은 10 내지 200Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 10.

제 8 항에 있어서, 상기 패드 질화막은 300 내지 3000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 11.

제 8 항에 있어서, 상기 트렌치는 상기 반도체 기판을 0.1 내지 10 μ m의 깊이로 식각하여 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 12.

제 8 항에 있어서, 상기 제 1 산화막은 30 내지 200Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 13.

제 8 항에 있어서, 상기 제 2 산화막은 30 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 14.

제 8 항에 있어서, 상기 실리콘막은 상기 트렌치의 기저부로부터 500Å 이상 성장시키고, 트렌치 상부로부터 100Å 정도 깊이로 성장시키는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

청구항 15.

삭제

청구항 16.

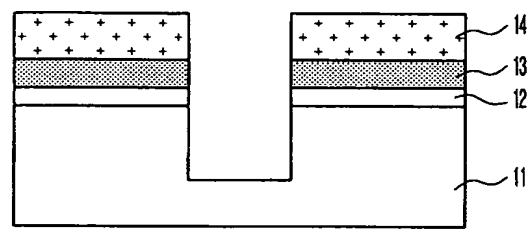
삭제

청구항 17.

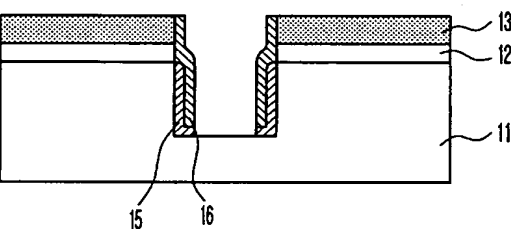
삭제
청구항 18.
삭제
청구항 19.
삭제

도면

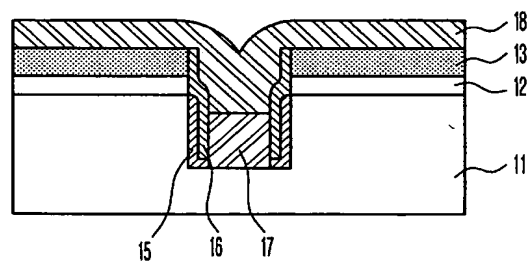
도면1a



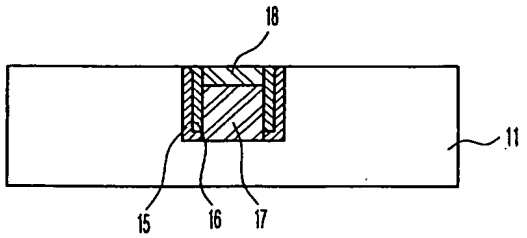
도면1b



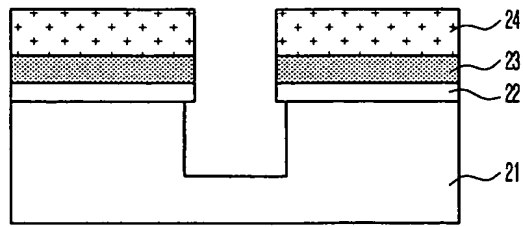
도면1c



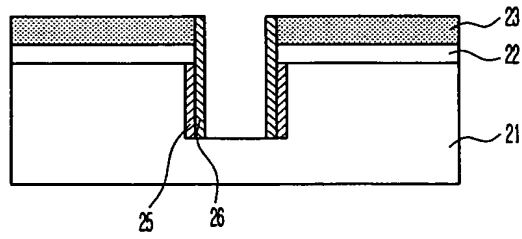
도면1d



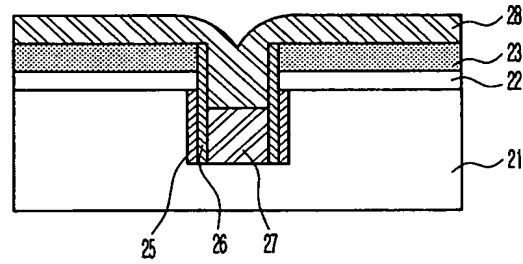
도면2a



도면2b



도면2c



도면2d

